

Cite No. 2

③ 日本国特許庁(JP)

④ 特許出願公開

⑤ 公開特許公報(A) 平1-186624

⑥ Int. Cl. ⁴	識別記号	庁内整理番号	⑦ 公開 平成1年(1989)7月26日
H 01 L 21/30Z		J-8223-5F	
G 03 F 9/00		6906-2H	
H 01 L 21/28		F-7638-5F	
21/30	3 6 1	Z-7376-5F	
21/88		6708-5F 審査請求 未請求 請求項の数 1 (全3頁)	

⑧ 発明の名称 半導体装置の製造方法

⑨ 特 願 昭63-5876

⑩ 出 願 昭63(1988)1月14日

⑪ 発 明 者	松 村 隆 司	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑫ 発 明 者	森 永 実	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑬ 出 願 人	松下電子工業株式会社	大阪府門真市大字門真1006番地	
⑭ 代 理 人	弁理士 中尾 敏男	外1名	

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

同路素子パターンと同じ平面にパターン密度をほぼ均一にするためのダミーパターンを形成し、前記同路素子パターンおよび前記ダミーパターンを同一条件下でエッチングすることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明はドライエッチング工程のパターン面積効率を均一にした半導体装置の製造方法に関するものである。

従来の技術

近年、半導体装置製造のエッチング工程は、ドライエッチングが、一般に利用されている。

以下に従来の半導体装置の製造方法について説明する。

第3、4図は従来の半導体装置の製造方法にお

ける、集積回路素子のドライエッチング工程のレジストパターン図である。第4図はレジストパターン1が点在し、エッチング面積が広いもので、第5図はレジストパターン2が濃密に形成されているものでエッチング面積が狭いものである。このように両者のパターン密度は異なっている。

このようにパターン密度の異なる集積回路素子を同一条件下でエッチングしている。

発明が解決しようとする課題

しかしながら、ドライエッチング工程には、エッチング図形の歪み、たとえば、装置内の処理枚数の違いあるいは、第4、5図のような集積回路素子のパターン密度の違いなどにより、同一条件下でエッチングを行なった場合、そのサイドエッチ量に差違が生じるという、パターン間差効果がある。すなわち、ドライエッチング工程では、反応ガスをプラズマ化し、その中のラジカルやイオンをエッチング剤と反応させてエッチングするものであり、第5図のようにエッチング面積が狭いと、所望のパターン形状を得ることができ

特開平1-186624(2)

るが、第4図のようにエッチング面積が広いと、エッチングの終点検出時に下層膜とガスとの反応により、多量のラジカルやイオンが発生し、それがパターン側壁の後エッチング膜と反応し、第6図のように所望のパターン形状よりも細く仕上がってしまうという問題があった。

本発明は、上記従来の問題を解決するもので、全ての集積回路素子において、所望のパターン形状を得ることのできる半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

この目的を達成するために本発明の半導体装置の製造方法は回路素子と同じ面内に本来のエッチングパターンとダミーパターンとを形成することにより、全ての集積回路素子のエッチングパターン密度を均一にするものである。

作用

このように構成すれば全ての集積回路素子のパターン密度効果が均一となり、同一条件下でエッチングしても所望のパターン形状を得ることがで

きる。

実施例

以下、本発明の一実施例について、図面を参照しながら説明する。

第1図は本発明の一実施例における半導体装置の製造方法のレジストパターン図である。第1図において、11は本来のレジストパターン、12はダミーパターンである。第1図はダミーパターンを形成することにより、第5図とほぼ同じパターン密度となる。これにより、両者のパターン密度効果はほぼ均一となり、ドライエッチング後それぞれ第2図、第3図のように所望のパターン形状を得ることができる。

発明の効果

本発明によると、エッチングパターン密度を均一にすることにより、全ての集積回路素子を同一条件下でエッチングしても、所望のパターン形状を得ることができる優れた半導体装置の製造方法を実現できる。

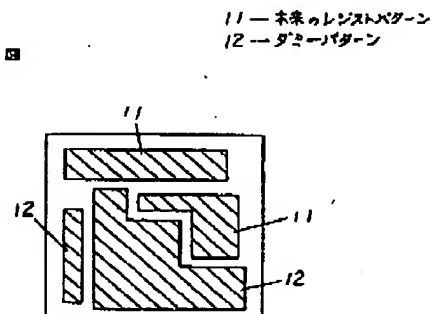
4. 図面の簡単な説明

第1図は本発明の一実施例半導体装置の製造方法で使用するパターン平面配置図、第2図は本発明の一実施例半導体装置の製造方法によるドライエッチング後のパターン平面配置図、第4図、第5図は従来例の半導体装置の製造方法の各レジストパターン平面配置図、第3図、第6図は従来例の半導体装置の製造方法のドライエッチング後の各パターン平面配置図である。

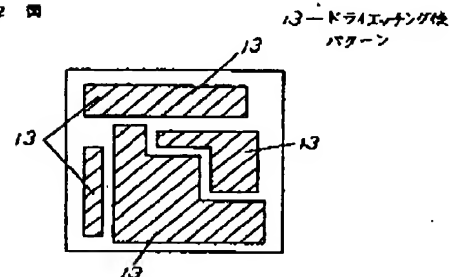
1, 2...レジストパターン、3, 4...ドライエッチング後パターン、11...本来のレジストパターン、12...ダミーパターン、13...ドライエッチング後パターン。

代理人の氏名 弁護士 中尾敏男 ほか1名

第1図



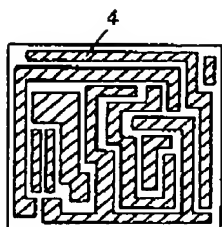
第2図



特開平 1-186624 (3)

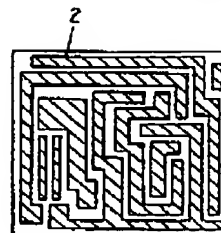
第 3 図

4-ドライエッチング後
パターン



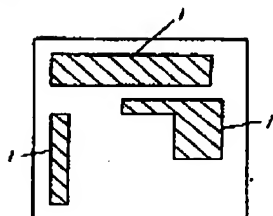
第 5 図

2-レジストパターン



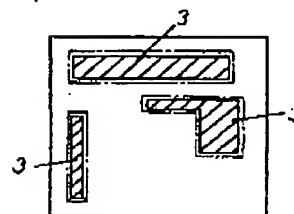
第 4 図

1-レジストパターン



第 6 図

3-ドライエッチング後
パターン



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.